

**Patentansprüche:**

1. Transistor-Anordnung zum Verringern von Rauschen,

- mit einem ersten und einem zweiten Feldeffekttransistor,  
5 von denen jeder einen Source-Anschluss und einen Drain-Anschluss aufweist sowie einen Steuer-Anschluss zum Anlegen eines ersten Signals oder eines zweiten Signals;
- bei der der Source-Anschluss des ersten  
10 Feldeffekttransistors und der Source-Anschluss des zweiten Feldeffekttransistors miteinander gekoppelt sind;
- bei der der Drain-Anschluss des ersten  
15 Feldeffekttransistors und der Drain-Anschluss des zweiten Feldeffekttransistors miteinander gekoppelt sind;
- mit einer Taktgeber-Einheit, die mit den  
Feldeffekttransistoren derart gekoppelt ist, dass sie  
den Feldeffekttransistoren alternierend das erste Signal  
und das zweite Signal bereitstellt mit einer Alternier-  
20 Frequenz, die mindestens so groß ist wie die Eckfrequenz der Rauschcharakteristik der Feldeffekttransistoren,  
oder mit einer reziproken Alternier-Frequenz, die  
kleiner ist als eine mittlere Lebensdauer eines  
Besetzungszustands einer Störstelle im Grenzbereich  
25 zwischen Kanal-Bereich und Gate-isolierender Schicht der Feldeffekttransistoren,
  - o an den Steuer-Anschluss des ersten  
Feldeffekttransistors das erste Signal und simultan  
an den Steuer-Anschluss des zweiten  
30 Feldeffekttransistors das zweite Signal anlegt;
  - o an den Steuer-Anschluss des ersten  
Feldeffekttransistors das zweite Signal und  
simultan an den Steuer-Anschluss des zweiten  
Feldeffekttransistors das erste Signal anlegt.

2. Transistor-Anordnung nach Anspruch 1,

bei welcher der Steuer-Anschluss ein Gate-Anschluss oder ein

Substrat-Anschluss ist.

3. Transistor-Anordnung nach Anspruch 1 oder 2,

- bei welcher

5           o für den Fall, dass der Steuer-Anschluss des ersten  
            und des zweiten Feldeffekttransistors ein Gate-  
            Anschluss ist, der erste Feldeffekttransistor und  
            der zweite Feldeffekttransistor einen Substrat-  
            Anschluss als Zusatz-Steuer-Anschluss aufweisen;

10           o für den Fall, dass der Steuer-Anschluss des ersten  
            Feldeffekttransistor und des zweiten  
            Feldeffekttransistors ein Substrat-Anschluss ist,  
            der erste Feldeffekttransistor und der zweite  
            Feldeffekttransistor einen Gate-Anschluss als  
15           Zusatz-Steuer-Anschluss aufweisen;

- wobei die Zusatz-Steuer-Anschlüsse des ersten  
    Feldeffekttransistor und des zweiten  
    Feldeffekttransistors miteinander gekoppelt sind.

20 4. Transistor-Anordnung nach einem der Ansprüche 1 bis 3,  
bei der eines des ersten Signals und des zweiten Signals ein  
Nutzsignal und das jeweils andere Signal ein  
Referenzpotential ist oder bei der das erste Signal und das  
zweite Signal jeweils ein Referenzpotential ist.

25

5. Transistor-Anordnung nach einem der Ansprüche 1 bis 4,  
bei welcher der erste Feldeffekttransistor und der zweite  
Feldeffekttransistor baugleich sind.

30 6. Transistor-Anordnung nach einem der Ansprüche 1 bis 5,  
bei der das erste Signal und das zweite Signal an den Steuer-  
Anschluss des ersten Feldeffekttransistors bzw. des zweiten  
Feldeffekttransistors mit einer Alternier-Frequenz  
alternierend angelegt sind, die größer ist als die Frequenzen  
35 eines Nutz-Frequenzbands eines zugeordneten Schaltkreises.

7. Transistor-Anordnung nach einem der Ansprüche 2 bis 6,

bei der zumindest einer der Substrat-Anschlüsse als Wannen-Anschluss von einem der beiden Feldeffekttransistoren, der in einer Wanne ausgebildet ist, eingerichtet ist.

5     8. Transistor-Anordnung nach einem der Ansprüche 1 bis 7, bei der beide Feldeffekttransistoren desselben Leitungstyps sind.

10     9. Transistor-Anordnung nach einem der Ansprüche 1 bis 8, die derart eingerichtet ist, dass von den beiden Feldeffekttransistoren jeweils einer in einem Inversions-Arbeitspunkt und der jeweils andere in einem Akkumulations- oder Verarmungs-Arbeitspunkt betreibbar ist.

15     10. Transistor-Anordnung nach einem der Ansprüche 1 bis 9, bei welcher

- der Steuer-Anschluss des ersten Feldeffekttransistors mit einem ersten Schaltelement gekoppelt ist, welches mittels eines ersten Taktsignals mit einer Alternier-  
20     Frequenz schaltbar ist;
- der Steuer-Anschluss des zweiten Feldeffekttransistors mit einem zweiten Schaltelement gekoppelt ist, welches mittels eines zweiten Taktsignals, das zu dem ersten Taktsignal komplementär ist, mit der Alternier-Frequenz  
25     schaltbar ist;
- wobei mittels des jeweiligen Schaltelements an den jeweiligen Steuer-Anschluss des jeweiligen Feldeffekttransistors mit der Alternier-Frequenz  
30     alternierend das erste oder das zweite Signal anlegbar ist.

11. Transistor-Anordnung nach Anspruch 10, bei der das erste Schaltelement und das zweite Schaltelement eine erste Schalt-Transistoren-Anordnung bzw. eine zweite  
35     Schalt-Transistoren-Anordnung sind, an deren jeweiligen Gate-Anschluss das jeweilige Taktsignal anlegbar ist und wobei ein jeweiliger Source-/Drain-Anschluss eines jeweiligen Schalt-

Transistors mit dem Steuer-Anschluss des jeweiligen Feldeffekttransistors gekoppelt ist.

12. Transistor-Anordnung nach einem der Ansprüche 1 bis 11,  
5 die auf und/oder in einem Silicon-on-Insulator-Substrat gebildet ist.

13. Transistor-Anordnung nach einem der Ansprüche 1 bis 12,  
die in Analog-Schaltungstechnik realisiert ist.

10 14. Transistor-Anordnung nach Anspruch 12 oder 13,  
mit mindestens einem zusätzlichen Feldeffekttransistor,

- wobei jeder des mindestens einen zusätzlichen Feldeffekttransistors einen Source-Anschluss und einen  
15 Drain-Anschluss aufweist sowie einen Steuer-Anschluss, an den das erste Signal oder das zweite Signal anlegbar ist;
- bei der der Source-Anschluss des ersten Feldeffekttransistors und der Source-Anschluss des  
20 zweiten Feldeffekttransistors mit dem Source-Anschluss von jedem des mindestens einen zusätzlichen Feldeffekttransistors gekoppelt sind;
- bei der der Drain-Anschluss des ersten Feldeffekttransistors und der Drain-Anschluss des  
25 zweiten Feldeffekttransistors mit dem Drain-Anschluss von jedem des mindestens einen zusätzlichen Feldeffekttransistors gekoppelt sind;
- wobei die Transistor-Anordnung derart eingerichtet ist, dass in einem ersten Betriebszustand an den Steuer-  
30 Anschluss des ersten Feldeffekttransistors oder des zweiten Feldeffekttransistors oder genau eines des mindestens einen zusätzlichen Feldeffekttransistors das erste Signal und simultan an die Steuer-Anschlüsse von allen anderen Feldeffekttransistoren das zweite Signal  
35 angelegt wird, wobei in nachfolgenden Betriebszuständen das erste Signal sukzessive an den Steuer-Anschluss von jeweils einem der übrigen Feldeffekttransistoren

angelegt wird und simultan das zweite Signal an die Steuer-Anschlüsse von allen anderen Feldeffekttransistoren angelegt wird.

- 5 15. Transistor-Anordnung nach einem der Ansprüche 1 bis 14, wobei die Taktgeber-Einheit derart eingerichtet ist, dass sie den Feldeffekttransistoren alternierend die Signale mittels gegeneinander verschobenen Taktsignalen bereitstellt.
- 10 16. Transistor-Anordnung nach Anspruch 14, bei der die Taktgeber-Einheit derart eingerichtet ist, dass sie die Taktsignale zum Verringern des Aufheizens der auf und/oder in dem Silicon-on-Insulator-Substrat gebildeten Feldeffekttransistoren und/oder zum Verringern des Floating-
- 15 Body-Effekts der auf und/oder in dem Silicon-on-Insulator-Substrat gebildeten Feldeffekttransistoren vorgibt.
17. Integrierter Schaltkreis mit mindestens einer Transistor-Anordnung nach einem der
- 20 Ansprüche 1 bis 16.
18. Integrierter Schaltkreis nach Anspruch 17, eingerichtet als
- Differenzstufe-Schaltkreis;
  - 25 • Stromquelle-Schaltkreis;
  - Stromspiegel-Schaltkreis; oder
  - Operationsverstärker-Schaltkreis.
19. Verfahren zum Verringern des Rauschens von
- 30 Feldeffekttransistoren,
- bei dem ein erster Feldeffekttransistor und ein zweiter Feldeffekttransistor miteinander verschaltet werden, wobei jeder der Feldeffekttransistoren einen Source-Anschluss und einen Drain-Anschluss aufweist sowie einen
  - 35 Steuer-Anschluss zum Anlegen eines ersten oder eines zweiten Signals;
  - bei dem der Source-Anschluss des ersten

Feldeffekttransistors und der Source-Anschluss des zweiten Feldeffekttransistors miteinander gekoppelt werden;

- bei dem der Drain-Anschluss des ersten Feldeffekttransistors und der Drain-Anschluss des zweiten Feldeffekttransistors miteinander gekoppelt werden;
- bei dem den Feldeffekttransistoren alternierend das erste Signal und das zweite Signal bereitgestellt wird mit einer Alternier-Frequenz, die mindestens so groß ist wie die Eckfrequenz der Rauschcharakteristik der Feldeffekttransistoren, oder mit einer reziproken Alternier-Frequenz, die kleiner ist als eine mittlere Lebensdauer eines Besetzungszustands einer Störstelle im Grenzbereich zwischen Kanal-Bereich und Gate-isolierender Schicht der Feldeffekttransistoren,
  - o an den Steuer-Anschluss des ersten Feldeffekttransistors das erste Signal und simultan an den Steuer-Anschluss des zweiten Feldeffekttransistors das zweite Signal angelegt wird;
  - o an den Steuer-Anschluss des ersten Feldeffekttransistors das zweite Signal und simultan an den Steuer-Anschluss des zweiten Feldeffekttransistors das erste Signal angelegt wird.

20. Verfahren nach Anspruch 19, bei welcher als Steuer-Anschluss ein Gate-Anschluss oder ein Substrat-Anschluss verwendet wird.

21. Verfahren nach Anspruch 20, bei dem mittels des alternierenden Anlegens der ersten und zweiten Signale die Quasi-Fermi-Energie in einem Grenzbereich zwischen Kanal-Bereich und Gate-isolierender Schicht der Feldeffekttransistoren periodisch um einen Wert verändert wird, der größer ist als das Produkt aus der Boltzmann-

Konstante und der absoluten Temperatur.

22. Verfahren nach Anspruch 20 oder 21,  
bei dem mittels des alternierenden Anlegens der ersten und  
5 zweiten Signale die Quasi-Fermi-Energie in einem Grenzbereich  
zwischen Kanal-Bereich und Gate-isolierender Schicht der  
Feldeffekttransistoren periodisch um zwischen ungefähr 100meV  
und ungefähr 1eV verändert wird.
- 10 23. Verfahren nach einem der Ansprüche 19 bis 22,  
bei dem die Anordnung der Feldeffekttransistoren auf und/oder  
in einem Silicon-on-Insulator-Substrat gebildet wird.
24. Verfahren nach einem der Ansprüche 19 bis 23,  
15 bei dem das erste Signal und das zweite Signal derart  
alternierend an die Steuer-Anschlüsse des ersten  
Feldeffekttransistors und des zweiten Feldeffekttransistors  
angelegt werden, dass das Aufheizen der auf und/oder in dem  
Silicon-on-Insulator-Substrat gebildeten  
20 Feldeffekttransistoren verringert wird und/oder der Floating-  
Body-Effekt der auf und/oder in dem Silicon-on-Insulator-  
Substrat gebildeten Feldeffekttransistoren verringert wird.